

Attorney's Docket No. 5649-944

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Ahn et al.

Serial No.: To Be Assigned

Filed: Concurrently Herewith

For: INTEGRATED CIRCUIT DEVICES HAVING DELAY CIRCUITS FOR  
CONTROLLING SETUP/DELAY TIMES OF DATA SIGNALS THAT ARE  
PROVIDED TO MEMORY DEVICES AND METHODS OF OPERATING SAME

Date: February 11, 2002



BOX PATENT APPLICATION

Commissioner for Patents

Washington, DC 20231

**SUBMITTAL OF PRIORITY DOCUMENT**

Sir:

To complete the requirements of 35 U.S.C. § 119, enclosed is a certified copy of  
Korean priority Application No. 2001-8141, filed February 19, 2001.

Respectfully submitted,

D. Scott Moore  
Registration No. 42,011



20792

PATENT TRADEMARK OFFICE

CERTIFICATE OF EXPRESS MAILING

Express Mail Label No. EV 015663482 US

Date of Deposit: February 11, 2002

I hereby certify that this correspondence is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to:  
BOX PATENT APPLICATION, Commissioner for Patents, Washington, DC 20231.

Traci A. Brown

JC868 U.S. PTO  
10/074309  
02/11/02

## **KOREAN INDUSTRIAL PROPERTY OFFICE**

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Industrial Property Office.

Application Number:           **2001-8141**

Date of Application:           **19 February 2001**

Applicant(s):                 **Samsung Electronics Co., Ltd.**

**5 March 2001**

**COMMISSIONER**

## PATENT APPLICATION

[Document Name] Patent Application

[Application Type] Patent

[Receiver] Commissioner

[Reference No.] 0007

[Filing Date] 2001.02.19

[IPC] H01L

[Title] Memory module for controlling set up and hold time of input signal of semiconductor memory device and method thereof

[Applicant]

Name: Samsung Electronics Co., Ltd.  
Applicant code: 1-1998-104271-3

[Attorney]

Name: Young-pil Lee  
Attorney's code: 9-1998-000334-6  
Reg. No. of General Power of Attorney: 1999-009556-9

Name: Sang-bin Jeong  
Attorney's code: 9-1998-000541-1  
Reg. No. of General Power of Attorney: 1999-009617-5

[Inventor]

Name: Young-man Ahn  
I.D. No. 700815-1233221  
Zip Code: 449-900  
Address: San7-1, Nongseo-ri, Kiheung-eub, Yongin-city, Kyungki-do, Republic of Korea  
Nationality: Republic of Korea

Name: Jin-ho So  
I.D. No. 610825-1009123  
Zip Code: 463-030  
Address: 301-201, Gunyoung Villa, 113, Bundang-dong, Bundang-gu, Sungnam-city, Kyungki-do, Republic of Korea  
Nationality: Republic of Korea

Name: Byung-se So  
I.D. No. 620917-1052711  
Zip Code: 463-070  
Address: 130-701, KOLON Apt., 330, Yatap-dong, Bundang-gu,  
Sungnam-city, Kyungki-do, Republic of Korea  
Nationality: Republic of Korea

Name: Seung-jin Seo  
I.D. No. 640518-1461011  
Zip Code: 442-070  
Address: 3-406, Sunkyung Apt., 163, Ingye-dong, Paldal-gu, Suwon-city,  
Kyungki-do, Republic of Korea  
Nationality: Republic of Korea

[Request for Examination] Requested

[Application Order] We respectively submit an application according to Art. 42 of the Patent Law and request an examination according to Art. 60 of the Patent Law, as above.

Attorney	Young-pil Lee (seal)
Attorney	Sang-bin Jeong (seal)

[Fee]

Basic page:	20 Sheet(s)	29,000 won
Additional page:	19 Sheet(s)	19,000 won
Priority claiming fee:	0 Case(s)	0 won
Examination fee:	27 Claim(s)	973,000 won
Total:		1,021,000 won

[Enclosures]

1. Abstract and Specification ( and Drawings) 1 copy each



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Industrial Property Office.

출원번호 : 특허출원 2001년 제 8141 호  
Application Number

출원년월일 : 2001년 02월 19일  
Date of Application

출원인 : 삼성전자 주식회사  
Applicant(s)



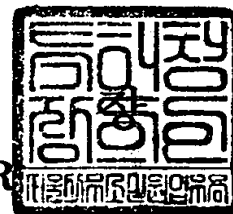
2001년

03월

05일

특 허 청

COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0007
【제출일자】	2001.02.19
【국제특허분류】	H01L
【발명의 명칭】	반도체 메모리 장치의 입력 신호의 셋업 시간 및 홀드 시간을 조정할 수 있는 메모리 모듈 및 방법
【발명의 영문명칭】	Memory module for controlling set up and hold time of input signal of semiconductor memory device and method thereof
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【발명자】	
【성명의 국문표기】	안영만
【성명의 영문표기】	AHN, Young Man
【주민등록번호】	700815-1233221
【우편번호】	449-900
【주소】	경기도 용인시 기흥읍 농서리 산 7-1번지
【국적】	KR
【발명자】	
【성명의 국문표기】	소진호
【성명의 영문표기】	SO, Jin Ho
【주민등록번호】	610825-1009123
【우편번호】	463-030

**【주소】** 경기도 성남시 분당구 분당동 113번지 건영빌라 301동 20호  
**【국적】** KR  
**【발명자】**  
**【성명의 국문표기】** 소병세  
**【성명의 영문표기】** SO,Byung Se  
**【주민등록번호】** 620917-1052711  
**【우편번호】** 463-070  
**【주소】** 경기도 성남시 분당구 야탑동 330번지 코오롱아파트 130동 701호  
**【국적】** KR  
**【발명자】**  
**【성명의 국문표기】** 서승진  
**【성명의 영문표기】** SE0,Seung Jin  
**【주민등록번호】** 640518-1461011  
**【우편번호】** 442-070  
**【주소】** 경기도 수원시 팔달구 인계동 163번지 선경아파트 3동 40호  
**【국적】** KR  
**【심사청구】** 청구  
**【취지】** 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인  
 이영필 (인) 대리인  
 정상빈 (인)  
**【수수료】**  
**【기본출원료】** 20 면 29,000 원  
**【가산출원료】** 19 면 19,000 원  
**【우선권주장료】** 0 건 0 원  
**【심사청구료】** 27 항 973,000 원  
**【합계】** 1,021,000 원  
**【첨부서류】** 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

반도체 메모리 장치의 입력 신호의 셋업 타임 및 홀드 타임을 조정할 수 있는 메모리 모듈 및 방법이 개시된다. 본 발명에 따른 메모리 모듈은 위상 동기 루프, 지연 레지스터 및 메모리 복수개의 반도체 메모리 장치들을 구비하는 것을 특징으로 한다.

위상 동기 루프는 입력 클럭 신호에 동기되어 복수개의 출력 클럭 신호들을 발생한다. 지연 레지스터는 복수개의 출력 클럭 신호들중 하나인 제 1 출력 클럭 신호에 응답하고, 입력 신호들을 수신하여 지연시킨 후 지연 출력 신호들로서 출력한다. 복수개의 반도체 메모리 장치들은 출력 클럭 신호들중 제 1 출력 클럭 신호를 제외한 나머지 출력 클럭 신호들에 응답하고, 지연 출력 신호들을 수신한다. 지연 레지스터는 입력 신호들을 수신하고 소정의 내부 출력 클럭 신호에 동기되어 지연 출력 신호들을 발생하는 수신부 및 기입 제어신호에 응답하여 필요한 지연시간에 관한 정보를 가지는 롬 입력신호들을 수신하고, 제 1 출력 클럭 신호를 수신하여 가변적으로 지연시킨 신호인 내부 출력 클럭 신호를 발생하는 지연부를 구비하는 것을 특징으로 한다.

본 발명에 따른 메모리 모듈 및 방법에 의해 복수개의 반도체 메모리 장치들의 오동작을 방지할 수 있는 장점이 있다.

**【대표도】**

도 3



**【명세서】****【발명의 명칭】**

반도체 메모리 장치의 입력 신호의 셋업 시간 및 홀드 시간을 조정할 수 있는 메모리 모듈 및 방법{Memory module for controlling set up and hold time of input signal of semiconductor memory device and method thereof}

**【도면의 간단한 설명】**

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

도 1은 종래의 레지스터에 의해 입력 신호가 메모리로 인가되는 메모리 모듈의 회로도이다.

도 2는 도 1의 메모리 모듈의 동작 타이밍을 나타내는 타이밍도이다.

도 3은 본 발명의 제 1 실시예에 따른 지연 레지스터를 구비하는 메모리 모듈의 회로도이다.

도 4는 도 3의 지연 레지스터를 나타내는 회로도이다.

도 5는 도 3의 지연 레지스터를 구비하는 메모리 모듈의 동작을 나타내는 타이밍도이다.

도 6은 도 3의 지연 레지스터의 다른 구성을 나타내는 회로도이다.

도 7은 본 발명의 제 2 실시예에 따른 지연 위상 동기 루프를 구비하는 메모리 모듈의 회로도이다.

도 8은 도 7의 지연 위상 동기 루프를 나타내는 회로도이다.

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <10> 본 발명은 메모리 모듈에 관한 것으로, 특히 반도체 메모리 장치의 입력 신호의 셋업 타임 및 홀드 타임을 조정할 수 있는 메모리 모듈 및 방법에 관한 것이다.
- <11> 복수개의 반도체 메모리 장치로 입력 신호가 인가될 때 메모리 장치 자체의 부하로 인하여 부하 효과(loading effect) 문제가 발생한다. 이를 해결하기 위하여 현재 사용되는 메모리 모듈 중에는 레지스터를 이용하여 입력 신호를 복수개의 반도체 메모리 장치로 다시 드라이브 해주는 방법을 사용하는 것이 있다. 이러한 메모리 모듈은 부하에 의한 신호 왜곡을 보정하여 주는 장점이 있으나 레지스터를 이용하여 입력 신호를 복수개의 메모리 장치들로 인가하므로 메모리 모듈상의 각 반도체 메모리 장치는 메모리 모듈상에서의 위치에 따라 항상 일정한 시간에 입력 신호를 수신하게 된다.
- <12> 도 1은 종래의 레지스터에 의해 입력 신호가 메모리로 인가되는 메모리 모듈의 회로도이다.
- <13> 도 2는 도 1의 메모리 모듈의 동작 타이밍을 나타내는 타이밍도이다.
- <14> 도 1에 도시된 종래의 메모리 모듈(100)은, 복수개의 반도체 메모리 장치들(M1, M2, ~ Mn), 레지스터(120) 및 위상 동기 루프(130)를 구비한다.
- <15> 위상 동기 루프(130)는 입력 클럭 신호(CLK)에 동기되어 복수개의 출력 클럭 신호들(OCLK1, OCLK2, ~ OCLKn+1)을 발생한다. 출력 클럭 신호들(OCLK1, OCLK2, ~ OCLKn+1)은 위상 동기 루프(130)에 의해서 같은 위상으로 발생된다. 레지스터(120)는 복수개의

출력 클럭 신호들(OCLK1, OCLK2, ~ OCLKn+1)중 하나인 제 1 출력 클럭 신호(OCLK1)에 동기 되어 입력 신호들(ACIN)을 수신하고 출력 신호들(ACOUT)로서 출력한다. 레지스터(130)에 의해 입력 신호들(ACIN)은 그 드라이빙 능력이 증가된다.

<16> 복수개의 반도체 메모리 장치들(M1, M2, ~Mn)은 출력 클럭 신호들(OCLK1, OCLK2, ~ OCLKn+1)중 제 1 출력 클럭 신호(OCLK1)를 제외한 나머지 출력 클럭 신호들(OCLK2, ~ OCLKn+1)에 동기 되어 출력 신호들(ACOUT)을 수신한다.

<17> 도 2를 살펴보면, 제 1 출력 클럭 신호(OCLK1)의 상승 에지 및 다음 상승 에지에 동기되어 출력 신호들(ACOUT)이 인에이블 및 디스에이블된다. 따라서 입력 신호들(ACIN)의 인에이블 구간의 폭과 출력 신호들(ACOUT)의 인에이블 구간의 폭은 차이가 있으며, 출력 신호들(ACOUT)의 인에이블 구간의 폭은 제 1 출력 클럭 신호(OCLK1)의 한 주기와 같다.

<18> 그런데, 도 2의 타이밍도에서 보는 바와 같이, 입력 신호들(ACIN)은 레지스터(120)를 통과하면서 일정한 시간만큼 지연되고 또한 복수개의 반도체 메모리 장치들(M1, M2, ~Mn)의 위치에 따라 일정한 시간만큼 지연되어 메모리 장치들(M1, M2, ~Mn)로 인가된다. 이 입력 신호들(ACIN)은 동일한 위상을 가지는 출력 클럭 신호들(OCLK1, OCLK2, ~ OCLKn+1)에 동기되어 인가되므로 결국 레지스터(120)로부터 멀리 위치하는 메모리(M1)에 인가되는 입력 신호들(ACIN)은 셋업 시간 및 홀드 시간에 문제가 발생하게 된다. 이는 도 2의 타이밍도에도 나타나있다. 커패시터(CAP1, CAP2)의 커패시턴스를 조절하여 입력 클럭 신호(CLK) 및 출력 클럭 신호들(OCLK1, OCLK2, OCLK3, ~ OCLKn+1)의 위상을 밀거나 당김으로서 이러한 셋업 시간 및 홀드 시간의 문제점을 완화할 수 있으나 한계가 있다.

<19> 또한 레지스터(130)로 인가되는 입력 신호들(ACIN)의 셋업 시간 및 홀드 시간에 변

화가 있는 경우라도 입력 신호들(ACIN)이 복수개의 반도체 메모리 장치들(M1, M2, ~Mn)로 인가되는 시간은 제 1 출력 클럭 신호(OCLK1)에 동기된 레지스터(120)에 의해 항상 일정하게 유지되므로 입력 신호들(ACIN)의 셋업 시간 및 홀드 시간을 바람직하게 조정하여도 메모리 장치들(M1, M2, ~Mn)에는 영향을 미치지 않는 문제가 있다.

**【발명이 이루고자 하는 기술적 과제】**

<20> 따라서 본 발명이 이루고자하는 기술적 과제는, 반도체 메모리 장치의 입력 신호의 셋업 타임 및 홀드 타임을 조정할 수 있는 메모리 모듈을 제공하는데 있다.

<21> 본 발명이 이루고자하는 다른 기술적 과제는, 반도체 메모리 장치의 입력 신호의 셋업 타임 및 홀드 타임을 조정할 수 있는 방법을 제공하는데 있다.

**【발명의 구성 및 작용】**

<22> 상기 기술적 과제를 달성하기 위한 본 발명의 제 1 실시예에 따른 메모리 모듈은 위상 동기 루프, 지연 레지스터 및 복수개의 반도체 메모리 장치들을 구비하는 것을 특징으로 한다.

<23> 위상 동기 루프는 입력 클럭 신호에 동기되어 복수개의 출력 클럭 신호들을 발생한다. 지연 레지스터는 상기 복수개의 출력 클럭 신호들중 하나인 제 1 출력 클럭 신호에 응답하고, 입력 신호들을 수신하여 지연시킨 후 지연 출력 신호들로서 출력한다.

<24> 복수개의 반도체 메모리 장치들은 상기 출력 클럭 신호들중 상기 제 1 출력 클럭 신호를 제외한 나머지 출력 클럭 신호들에 응답하고, 상기 지연 출력 신호들을 수신한다

<25> 바람직하기로는 상기 지연 레지스터는 상기 입력 신호들을 수신하고 소정의 내부

출력 클럭 신호에 동기되어 상기 지연 출력 신호들을 발생하는 수신부 및 기입 제어신호에 응답하여 필요한 지연시간에 관한 정보를 가지는 롬 입력신호들을 수신하고, 상기 제 1 출력 클럭 신호를 수신하여 가변적으로 지연시킨 신호인 상기 내부 출력 클럭 신호를 발생하는 지연부를 구비하는 것을 특징으로 한다.

<26> 또한 상기 지연 레지스터는 상기 입력 신호들을 수신하고 상기 제 1 출력 클럭 신호에 동기되어 내부 출력 신호들을 발생하는 수신부 및 기입 제어신호에 응답하여 필요한 지연시간에 관한 정보를 가지는 롬 입력신호들을 수신하고, 상기 내부 출력 신호들을 수신하여 가변적으로 지연시킨 신호인 상기 지연 출력 신호들을 발생하는 지연부를 구비하는 것을 특징으로 할 수 있다.

<27> 상기 기술적 과제를 달성하기 위한 본 발명의 제 2 실시예에 따른 메모리 모듈은 지연 위상 동기 루프, 레지스터 및 복수개의 반도체 메모리 장치들을 구비하는 것을 특징으로 한다.

<28> 지연 위상 동기 루프는 기입 제어신호에 응답하여 필요한 지연시간에 관한 정보를 가지는 롬 입력신호를 수신하고, 입력 클럭 신호를 수신하여 복수개의 서로 다른 지연 시간을 가지는 출력 클럭 신호들을 발생한다. 레지스터는 상기 복수개의 출력 클럭 신호들중 하나인 제 1 출력 클럭 신호에 응답하고, 입력 신호들을 수신한 후 출력 신호들로서 출력한다. 복수개의 반도체 메모리 장치들은 상기 복수개의 서로 다른 지연 시간을 가지는 출력 클럭 신호들중 상기 제 1 출력 클럭 신호를 제외한 나머지 출력 클럭 신호들에 응답하고, 상기 출력 신호들을 수신한다.

<29> 상기 지연 위상 동기 루프는 상기 입력 클럭 신호 및 발진 신호를 수신하여 위상차를 검출하여 출력하는 위상 검출기, 상기 위상 검출기의 출력 신호를 저역 필터링하여

제어 전압을 발생하는 저역 필터, 상기 제어 전압에 응답하여 상기 발진 신호 및 출력 클럭 신호들을 발생하는 전압 제어 발진기 및 상기 롬 입력신호를 수신하고, 상기 대응하는 출력 클럭 신호를 수신하여 일정한 지연 시간을 가지는 지연 출력 클럭 신호를 발생하는 지연부를 복수개로 구비하고, 상기 지연 시간은 각 지연 출력 클럭 신호마다 서로 다른 것을 특징으로 한다.

<30> 상기 다른 기술적 과제를 달성하기 위한 본 발명의 제 1 실시예에 따른 복수개의 반도체 메모리 장치들로 입력되는 입력 신호들의 셋업 타임 및 홀드 타임을 조정하는 방법은,

<31> (a) 입력 클럭 신호에 동기되어 복수개의 출력 클럭 신호들을 발생하는 단계, (b) 상기 복수개의 출력 클럭 신호들중 하나인 제 1 출력 클럭 신호에 응답하고, 상기 입력 신호들을 수신하여 지연시킨 후 지연 출력 신호들로서 출력하는 단계 및 (c) 상기 출력 클럭 신호들중 상기 제 1 출력 클럭 신호를 제외한 나머지 출력 클럭 신호들에 응답하고, 상기 지연 출력 신호들을 상기 복수개의 반도체 메모리 장치들로 인가하는 단계를 구비하는 것을 특징으로 하는한다.

<32> 상기 (b) 단계는, (b1) 기입 제어신호에 응답하여 필요한 지연시간에 관한 정보를 가지는 롬 입력신호들을 수신하고, 상기 제 1 출력 클럭 신호를 수신하여 가변적으로 지연시킨 신호인 내부 출력 클럭 신호를 발생하는 단계 및 (b2) 상기 입력 신호들을 수신하고 상기 내부 출력 클럭 신호에 동기되어 상기 지연 출력 신호들을 발생하는 단계를 구비한다.

<33> 바람직하기로는, 상기 (b) 단계는 (b1) 상기 입력 신호들을 수신하고 상기 제 1 출력 클럭 신호에 동기되어 내부 출력 신호들을 발생하는 단계 및 (b2) 기입 제어신호에

응답하여 필요한 지연시간에 관한 정보를 가지는 롬 입력신호들을 수신하고, 상기 내부 출력 신호들을 수신하여 가변적으로 지연시킨 신호인 상기 지연 출력 신호들을 발생하는 단계를 구비할 수 있다.

<34>        상기 다른 기술적 과제를 달성하기 위한 본 발명의 제 2 실시예에 따른 복수개의 반도체 메모리 장치들로 인가되는 지연 위상 동기 루프의 복수개의 출력 클럭 신호들이 서로 다른 지연시간을 가지게 하여 상기 복수개의 반도체 메모리 장치들로 인가되는 입력 신호들의 셋업 타임 및 홀드 타임을 조정하는 방법은,

<35>        (a) 입력 클럭 신호를 수신하여 발진 신호 및 복수개의 출력 클럭 신호들을 발생하는 단계, (b) 기입 제어신호에 응답하여 필요한 지연시간에 관한 정보를 가지는 롬 입력 신호를 수신하고, 상기 대응하는 출력 클럭 신호들을 수신하여 복수개의 서로 다른 지연 시간을 가지는 지연 출력 클럭 신호들을 발생하는 단계, (c) 상기 복수개의 지연 출력 클럭 신호들중 하나인 제 1 지연 출력 클럭 신호에 응답하고, 입력 신호들을 수신한 후 출력 신호들로서 출력하는 단계 및 (d) 상기 복수개의 서로 다른 지연 시간을 가지는 지연 출력 클럭 신호들중 상기 제 1 지연 출력 클럭 신호를 제외한 나머지 지연 출력 클럭 신호들에 응답하고, 상기 출력 신호들을 상기 복수개의 반도체 메모리 장치들로 인가하는 단계를 구비하는 것을 특징으로 한다.

<36>        본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시예 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 도면에 기재된 내용을 참조하여야 한다.

<37>        이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

- <38> 도 3은 본 발명의 제 1 실시예에 따른 지연 레지스터를 구비하는 메모리 모듈의 회로도이다.
- <39> 도 3을 참조하면, 본 발명의 제 1 실시예에 따른 메모리 모듈(300)은 위상 동기 루프(PLL)(330), 지연 레지스터(DREG)(320) 및 복수개의 반도체 메모리 장치들(M1, M2, ~Mn)을 구비한다.
- <40> 위상 동기 루프(330)는 입력 클럭 신호(CLK)에 동기되어 복수개의 출력 클럭 신호들(OCLK1, OCLK2, OCLK3 ~ OCLKn+1)을 발생한다. 지연 레지스터(320)는 복수개의 출력 클럭 신호들(OCLK1, OCLK2, OCLK3 ~ OCLKn+1)중 하나인 제 1 출력 클럭 신호(OCLK1)에 응답하고, 입력 신호들(ACIN)을 수신하여 지연시킨 후 지연 출력 신호들(DACOUT)로서 출력한다.
- <41> 복수개의 반도체 메모리 장치들(M1, M2, ~Mn)은 출력 클럭 신호들(OCLK1, OCLK2, OCLK3 ~ OCLKn+1)중 제 1 출력 클럭 신호(OCLK1)를 제외한 나머지 출력 클럭 신호들(OCLK2, OCLK3 ~ OCLKn+1)에 응답하고, 지연 출력 신호들(DACOUT)을 수신한다.
- <42> 이하 도 3을 참고하여 본 발명의 제 1 실시예에 따른 메모리 모듈의 동작이 상세히 설명된다.
- <43> 위상 동기 루프(330)는 피드백 루프의 커패시터(CAP1)를 조정함에 의하여 외부에서 인가되는 입력 클럭 신호(CLK)와 복수개의 출력 클럭 신호들(OCLK1, OCLK2, OCLK3 ~ OCLKn+1)이 동일한 위상을 가지도록 조정한다. 즉, 복수개의 출력 클럭 신호들(OCLK1, OCLK2, OCLK3 ~ OCLKn+1)은 동일한 위상을 가지며 출력된다. 셋업 시간 및 홀드 시간이 변화되어 마진이 적은 입력 신호들(ACIN)이 제 1 출력 클럭 신호(OCLK1)에 동기되어 지



연 레지스터(320)로 인가된다. 그러면, 지연 레지스터(320)는 제 1 출력 클럭 신호 (OCLK1)를 지연시켜 후술하는 내부 출력 클럭 신호를 발생하고, 입력 신호들(ACIN)은 내부 출력 클럭 신호에 동기되어 지연 출력 신호들(DACOUT)로서 복수개의 반도체 메모리 장치들(M1, M2, ~Mn)로 인가된다.

<44> 좀더 상세히 설명하면, 반도체 메모리 장치들(M1, M2, ~Mn)의 홀드 시간의 특성이 셋업 시간의 특성보다 좋다면, 즉 홀드 시간이 작아도 반도체 메모리 장치들(M1, M2, ~Mn)이 정상적으로 동작한다면, 지연 레지스터(320)에 의하여 지연 출력 신호들(DACOUT)의 셋업 시간을 더 크게 만들어서 반도체 메모리 장치들(M1, M2, ~Mn)을 더 안정적으로 동작시킬 수 있다. 반대의 경우도 당연히 가능하다. 지연 출력 신호들(DACOUT)의 셋업 시간 및 홀드 시간을 조정하여 반도체 메모리 장치들(M1, M2, ~Mn)의 셋업 시간 및 홀드 시간을 모두 안정적인 범위에 놓이도록 할 수 있는 것이다. 여기서 입력 신호들(ACIN)은 어드레스 신호나 명령 신호들이다.

<45> 따라서 입력 신호들(ACIN)이 복수개의 반도체 메모리 장치들(M1, M2, ~Mn)로 인가될 때에는 변화된 셋업 시간 및 홀드 시간이 보정되어 충분한 마진을 줄 수 있고, 복수개의 반도체 메모리 장치들(M1, M2, ~Mn)의 오동작이 방지될 수 있다.

<46> 이러한 기능을 하는 지연 레지스터(320)에 대해서는 후술하는 도 4 및 도 6에서 상세히 설명된다.

<47> 도 4는 도 3의 지연 레지스터를 나타내는 회로도이다.

<48> 도 4를 참조하면, 지연 레지스터(320)는 수신부(410) 및 지연부(420)를 구비한다.

<49> 수신부(410)는 입력 신호들(ACIN1, ACIN2)을 수신하고 소정의 내부 출력 클럭

신호(OCLKINT)에 동기되어 지연 출력 신호들(DACOUT1, DACOUT2)을 발생한다. 여기서 입력 신호들(ACIN1, ACIN2)과 지연 출력 신호들(DACOUT1, DACOUT2)은 같은 수의 복수개의 신호들이다.

<50> 지연부(420)는 기입 제어신호(WE)에 응답하여 필요한 지연시간에 관한 정보를 가지는 롬 입력신호들(ROMIN1, ROMIN2)을 수신하고, 제 1 출력 클럭 신호(OCLK1)를 수신하여 가변적으로 지연시킨 신호인 내부 출력 클럭 신호(OCLKINT)를 발생한다.

<51> 지연부(420)는 롬 입력신호들(ROMIN1, ROMIN2)을 수신하여 저장하는 롬(421), 롬(421)의 출력 신호를 수신하여 필요한 지연 시간에 해당하는 출력 신호를 발생하는 디멀티플렉서(423) 및 디멀티플렉서(423)의 출력 신호에 응답하고 제 1 출력 클럭 신호(OCLK1)를 수신하여 가변적으로 필요한 지연 시간만큼 지연시킨 내부 출력 클럭 신호(OCLKINT)를 발생하는 지연 버퍼부(425)를 구비하는 것을 특징으로 한다.

<52> 이하, 도 4를 참고하여 지연 레지스터(320)의 동작이 상세히 설명된다.

<53> 기입 제어신호(WE)는 저항(RG)을 통하여 접지(GND)에 연결되어 있으며 메모리 모듈의 정상 동작의 경우 즉, 입력 신호들(ACIN1, ACIN2)의 셋업 시간 및 홀드 시간이 적당한 경우에는 지연 레지스터(320)에 영향을 미치지 않는다.

<54> 그러나 입력 신호들(ACIN1, ACIN2)을 지연시킬 필요가 있을 경우, 즉, 셋업 시간 및 홀드 시간이 변화되어 마진이 적어진 경우, 기입 제어신호(WE)가 논리 하이 값으로 인가되면 필요한 지연시간에 관한 정보를 가지는 롬 입력신호들 (ROMIN1, ROMIN2)이 지연부(420)내부의 롬(421)으로 인가된다. 롬 입력신호들 (ROMIN1, ROMIN2)은 수신부(410)로 인가되는 입력 신호들(ACIN1, ACIN2)과 입력 편을 공유하며 기입 제어신호(WE)의 하이

레벨에 응답하여 롬 입력신호들(ROMIN1, ROMIN2)이 선택되고 기입 제어신호(WE)의 로우 레벨에 응답하여 입력 신호들(ACIN1, ACIN2)이 선택된다. 다만 기입 제어신호(WE)의 논리 레벨에 따른 롬 입력신호들(ROMIN1, ROMIN2) 또는 입력 신호들(ACIN1, ACIN2)의 선택은 회로의 구성에 따라 앞의 경우와 반대로 될 수 있다.

<55>      롬 입력 신호들(ROMIN1, ROMIN2)은 입력 신호들(ACIN1, ACIN2)이 지연되는데 필요한 지연시간에 관한 정보를 가지는 신호들로서 지연부(420) 내부의 롬(421)에 기입된다. 롬 입력 신호들(ROMIN1, ROMIN2)의 필요한 지연시간에 관한 정보는 프로그램에 의하여 조정될 수 있다. 롬(421)은 롬(421)의 출력 신호를 수신하여 필요한 지연 시간에 해당하는 출력 신호를 발생하는 디멀티플렉서(423)로 연결된다. 디멀티플렉서(423)의 출력 신호는 복수개의 버퍼들(BC1, BC2, BC3, ~ BCn)을 구비하는 지연 버퍼부(425)로 인가된다.

<56>      디멀티플렉서(423)의 출력 신호에 의해 턴 온된 스위치(SW)에 연결된 버퍼들(BC1, BC2, BC3, ~ BCn)에 의해 지연시간이 결정된다. 지연 버퍼부(425)는 제 1 출력 클럭 신호(OCLK1)를 수신하여 필요한 지연 시간만큼 지연시킨 내부 출력 클럭 신호(OCLKINT)를 발생하고 내부 출력 클럭 신호(OCLKINT)를 수신부(410)의 플립 플롭들(FF1, FF2)로 인가한다.

<57>      수신부(410)는 입력 신호들(ACIN1, ACIN2)을 수신하고 내부 출력 클럭 신호(OCLKINT)에 동기되어 지연 출력 신호들(DACOUT1, DACOUT2)을 발생한다. 수신부(410) 내부의 버퍼들(B1, B2)은 입력 신호들(ACIN1, ACIN2)의 드라이빙 능력을 증가시킨다.

<58>      이와 같이 제 1 출력 클럭 신호(OCLK1)가 지연된 내부 출력 클럭 신호(OCLKINT)에 입력 신호들(ACIN1, ACIN2)이 동기 되어 지연 출력 신호들(DACOUT1, DACOUT2)로서 발생된다. 따라서, 롬(421)에 기입되는 롬 입력 신

호들(ROMIN1, ROMIN2)을 조정하여 입력 신호들(ACIN1, ACIN2)이 복수개의 반도체 메모리 장치들(M1, M2, ~Mn)로 인가되는 시간을 조절할 수 있고, 입력 신호들(ACIN1, ACIN2)의 셋업 시간 및 홀드 시간의 변화에 따른 마진의 감소를 보정하여 복수개의 반도체 메모리 장치들(M1, M2, ~Mn)의 오동작이 방지될 수 있다.

<59> 도 5는 도 3의 지연 레지스터를 구비하는 메모리 모듈의 동작을 나타내는 타이밍도이다.

<60> 입력 신호들(ACIN)이 제 1 출력 클럭 신호(OCLK1)가 지연된 내부 출력 클럭 신호(OCLKINT)에 동기되어 지연 출력 신호들(DACOUT)로서 출력되는 경우, 셋업 시간 및 홀드 시간이 바람직하게 조정될 수 있음을 알 수 있다. 또한 메모리 모듈상에서의 복수개의 반도체 메모리 장치들(M1, M2, ~Mn)의 위치에 따라 지연 출력 신호들(DACOUT)이 복수개의 반도체 메모리 장치들(M1, M2, ~Mn)로 인가되는 시간(DACOUT\_Mn, DACOUT\_M1)이 다르더라도 셋업 시간 및 홀드 시간 모두가 안정적인 동작 범위에 놓임을 알 수 있다.

<61> 도 6은 도 3의 지연 레지스터의 다른 구성을 나타내는 회로도이다.

<62> 도 6을 참조하면, 지연 레지스터(320)는 수신부(610) 및 지연부(620)를 구비한다.

<63> 수신부(610)는 입력 신호들(ACIN1, ACIN2)을 수신하고 제 1 출력 클럭 신호(OCLK1)에 동기되어 내부 출력 신호들(ACINOUT1, ACINOUT2)을 발생한다. 여기서 입력 신호들(ACIN1, ACIN2)과 내부 출력 신호들(ACINOUT1, ACINOUT2)은 같은 수의 복수개의 신호들이다. 지연부(620)는 기입 제어신호(WE)에 응답하여 필요한 지연시간에 관한 정보를 가지는 롬 입력신호들(ROMIN1, ROMIN2)을 수신하고, 내부 출력 신호들(ACINOUT1, ACINOUT2)을 수신하여 가변적으로 지연시킨 신호인 지연 출력 신호들(DACOUT1, DACOUT2)

을 발생한다.

<64> 지연부(620)는 롬 입력신호들(ROMIN1, ROMIN2)을 수신하여 저장하는 롬(621), 롬(621)의 출력 신호를 수신하여 필요한 지연 시간에 해당하는 출력 신호를 발생하는 디멀티플렉서(623) 및 디멀티플렉서(623)의 출력 신호에 응답하고 내부 출력 신호들(ACINOUT1, ACINOUT2)을 수신하여 가변적으로 필요한 지연 시간만큼 지연시킨 지연 출력 신호들(DACOUT1, DACOUT2)을 발생하는 복수개의 지연 버퍼부들(625, 627)을 구비하는 것을 특징으로 한다.

<65> 이하, 도 6을 참고하여 지연 레지스터(320)의 동작이 상세히 설명된다.

<66> 도 6의 지연 레지스터(320)의 회로 구성과 기능은 도 4의 지연 레지스터(320)의 회로 구성 및 기능과 유사하므로 차이점에 대해서만 설명된다.

<67> 먼저 기본적인 동작상의 차이점을 살펴보면, 도 4의 지연 레지스터(320)는 제 1 출력 클럭 신호(OCLK1)를 지연시켜 내부 출력 클럭 신호(OCLKINT)를 발생하고, 내부 출력 클럭 신호(OCLKINT)에 입력 신호들(ACIN)이 동기되어 지연 출력 신호들(DACOUT)이 발생한다. 그러나 도 6의 지연 레지스터(320)는 지연 레지스터(320)로 인가된 입력 신호들(ACIN)이 제 1 출력 클럭 신호(OCLK1)에 동기되어 내부 출력 신호들(ACINOUT)으로서 발생되고, 내부 출력 신호들(ACINOUT)이 가변적으로 지연되어 지연 출력 신호들(DACOUT)으로서 발생된다.

<68> 회로 구성상의 차이점을 살펴본다. 수신부(610)는 입력 신호들(ACIN1,

ACIN2)이 수신부(610) 내부의 플립 플랍들(FF1, FF2)로 인가되고 제 1 출력 클럭 신호(OCLK1)에 동기되어 내부 출력 신호들(ACINOUT1, ACINOUT2)로서 발생된다. 수신부(610) 내부의 버퍼들(B1, B2, B3)은 제 1 출력 클럭 신호(OCLK1)와 입력 신호들(ACIN1, ACIN2)의 드라이빙 능력을 증가시킨다.

<69> 롬 입력 신호들(ROMIN1, ROMIN2)은 입력 신호들(ACIN1, ACIN2)이 지연되는데 필요한 지연시간에 관한 정보를 가지는 신호들로서 지연부(620) 내부의 롬(621)에 기입된다. 롬 입력 신호들(ROMIN1, ROMIN2)의 필요한 지연시간에 관한 정보는 프로그램에 의하여 조정될 수 있다.

<70> 롬(621)은 롬(621)의 출력 신호를 수신하여 필요한 지연 시간에 해당하는 출력 신호를 발생하는 디멀티플렉서(623)로 연결된다. 디멀티플렉서(623)의 출력 신호는 복수개의 버퍼들(BC1, BC2, BC3, ~ BCn)을 구비하는 지연 버퍼부(625)와 복수개의 버퍼들(2BC1, 2BC2, 2BC3, ~ 2BCn)을 구비하는 지연 버퍼부(627)로 동시에 인가된다. 지연 버퍼부들(625, 627)은 내부 출력 신호들(ACINOUT1, ACINOUT2)의 수만큼 복수개로 구비된다.

<71> 디멀티플렉서 (623)의 출력 신호에 의해 턴 온된 스위치(SW)에 연결된 버퍼들(BC1, BC2, BC3, ~ BCn, 2BC1, 2BC2, 2BC3, ~ 2BCn)에 의해 지연시간이 결정된다. 지연 버퍼부들(625, 627)은 내부 출력 신호들(ACINOUT1, ACINOUT2)을 수신하여 가변적으로 필요한 지연 시간만큼 지연시킨 지연 출력 신호들(DACOUT1, DACOUT2)을 발생한다.

<72> 따라서, 롬(621)에 기입되는 롬 입력 신호들(ROMIN1, ROMIN2)을 조정하여 입력 신호들(ACIN1, ACIN2)이 복수개의 반도체 메모리 장치들(M1, M2, ~Mn)로 인가되는 시간을 조절할 수 있고, 입력 신호들(ACIN1, ACIN2)의 셋업 시간 및 홀드 시간의 변화에 따른

마진의 감소를 보정하여 복수개의 반도체 메모리 장치들(M1, M2, ~Mn)의 오동작이 방지될 수 있다.

<73> 도 7은 본 발명의 제 2 실시예에 따른 지연 위상동기 루프를 구비하는 메모리 모듈의 회로도이다.

<74> 도 7을 참조하면, 본 발명의 제 2 실시예에 따른 메모리 모듈(700)은, 지연 위상 동기 루프(DPLL)(720), 레지스터(730) 및 복수개의 반도체 메모리 장치들(M1, M2, ~Mn)을 구비한다.

<75> 지연 위상 동기 루프(720)는 가입 제어신호(WE)에 응답하여 필요한 지연시간에 관한 정보를 가지는 롬 입력신호(ROMIN)를 수신하고, 입력 클럭 신호(CLK)를 수신하여 복수개의 서로 다른 지연 시간을 가지는 지연 출력 클럭 신호들(DOCLK1, DOCLK2, DOCLK3, ~ DOCLKn+1)을 발생한다.

<76> 레지스터(730)는 복수개의 지연 출력 클럭 신호들(DOCLK1, DOCLK2, DOCLK3, ~ DOCLKn+1)중 하나인 제 1 지연 출력 클럭 신호(DOCLK1)에 응답하고, 입력 신호들(ACIN)을 수신한 후 출력 신호들(ACOUT)로서 출력한다.

<77> 복수개의 반도체 메모리 장치들(M1, M2, ~Mn)은 복수개의 서로 다른 지연 시간을 가지는 지연 출력 클럭 신호들(DOCLK1, DOCLK2, DOCLK3, ~ DOCLKn+1)중 제 1 지연 출력 클럭 신호(DOCLK1)를 제외한 나머지 지연 출력 클럭 신호들(DOCLK2, DOCLK3, ~ DOCLKn+1)에 응답하고, 출력 신호들(ACOUT)을 수신한다.

<78> 이하 도 7을 참조하여 본 발명의 제 2 실시예에 따른 메모리 모듈(700)의 동작이 상세히 설명된다.

<79> 본 발명의 제 1 실시예에서는 레지스터(320)의 출력 신호들(DACOUT)이 지연되어 복수개의 반도체 메모리 장치들(M1, M2, ~Mn)로 인가된다. 본 발명의 제 2 실시예에서는 지연 위상 동기 루프(720)의 지연 출력 클럭 신호들(DOCLK1, DOCLK2, DOCLK3, ~ DOCLKn+1)이 서로 다른 지연 시간을 가지면서 복수개의 반도체 메모리 장치들(M1, M2, ~Mn)로 인가된다. 따라서 복수개의 반도체 메모리 장치들(M1, M2, ~Mn)에 인가되는 출력 신호들(ACOUT)에는 변화를 주지 않고 제 1 실시예와 동일한 효과를 얻을 수 있다. 이와 같은 기능을 하는 지연 위상 동기 루프(720)에 대해서는 후술하는 도 8에서 상세히 설명된다.

<80> 지연 출력 클럭 신호들(DOCLK1, DOCLK2, DOCLK3, ~ DOCLKn+1)의 지연 시간은 오실로스코프를 사용하여 복수개의 반도체 메모리 장치들(M1, M2, ~Mn)에 레지스터(730)의 출력 신호들(ACOUT)과 지연 출력 클럭 신호들(DOCLK1, DOCLK2, DOCLK3, ~ DOCLKn+1)이 도달하는 시간을 측정하여 결정할 수 있으며, 지연 시간을 변화시키면서 각각의 반도체 메모리 장치(M1, M2, Mn)에 출력 신호들(ACOUT)을 기입 및 독출하는 동작을 수행하여 패스 영역의 중간 값으로 지연 시간을 결정할 수도 있다.

<81> 또한 중앙 처리 장치(CPU)를 사용하여 지연 시간을 변화시키면서 반도체 메모리 장치(M1, M2, Mn)에 출력 신호들(ACOUT)을 기입 및 독출하는 동작을 수행하여 패스 영역의 중간 값으로 지연 시간을 결정할 수도 있다. 이러한 방법은 제 1 실시예의 지연 시간을 결정하는 데에도 적용될 수 있다.

<82> 도 8은 도 7의 지연 위상 동기 루프를 나타내는 회로도이다.

<83> 도 8을 참조하면, 지연 위상 동기 루프(720)는 위상 검출기(801), 저역 필터(803), 전압 제어 발진기(805) 및 복수개의 지연부들(810, 830, 840)을 구비한다.



- <84> 위상 검출기(801)는 입력 클럭 신호(CLK) 및 발진 신호(VCOS)를 수신하고 위상차를 검출하여 출력한다. 저역 필터(803)는 위상 검출기(801)의 출력 신호를 저역 필터링하여 제어 전압(CV)을 발생한다. 전압 제어 발진기(805)는 제어 전압(CV)에 응답하여 발진 신호(VCOS) 및 출력 클럭 신호들(OCLK1, OCLK2, ~ OCLKn+1)을 발생한다. 복수개의 지연부들(810, 830, 840)은 롬 입력신호(ROMIN)를 수신하고, 대응하는 출력 클럭 신호(OCLK)를 수신하여 일정한 지연 시간을 가지는 지연 출력 클럭 신호(DOCLK)를 발생하며 지연 시간은 각 지연 출력 클럭 신호(DOCLK)마다 서로 다른 것을 특징으로 한다.
- <85> 지연 위상 동기 루프(720)내의 지연부들(810, 830, 840)은 서로 동일한 구성을 가지므로 하나의 지연부(810)에 대해서만 구성이 설명된다.
- <86> 지연부(810)는 롬 입력신호(ROMIN)를 수신하여 저장하는 롬(821), 롬(821)의 출력 신호를 수신하여 필요한 지연 시간에 해당하는 출력 신호를 발생하는 디멀티플렉서(823) 및 디멀티플렉서(825)의 출력 신호에 응답하고 대응하는 출력 클럭 신호(OCLK2)를 수신하여 가변적으로 필요한 지연 시간만큼 지연시킨 지연 출력 클럭 신호(DOCLK2)를 발생하는 지연 버퍼부(825)를 구비한다.
- <87> 지연 위상 동기 루프(720)의 동작이 설명된다.
- <88> 입력 클럭 신호(CLK)가 지연 위상 동기 루프(720)내부의 위상 검출기(801)로 인가되고 위상 검출기(801)는 전압 제어 발진기(805)에서 발생된 발진 신호(VCOS)와 입력 클럭 신호(CLK)의 위상차를 검출하여 출력한다. 위상 검출기(801)의 출력 신호는 저역 필터(803)를 통과하여 전압 제어 발진기(805)로 인가되고, 전압 제어 발진기(805)는 발진 신호(VCOS)와 출력 클럭 신호들(OCLK1, OCLK2, ~ OCLKn+1)을 발생한다. 여기서 출력 클럭 신호들(OCLK1, OCLK2, ~ OCLKn+1)은 모두 동일한 위상으로 발생된다.

<89> 기입 제어신호(WE)의 하이 레벨 또는 로우 레벨에 응답하여 롬 입력신호(ROMIN)가 지연부(810) 내부의 롬(821)으로 입력된다. 롬 입력신호(ROMIN)는 복수개의 지연부들(810, 830, 840)의 서로 다른 지연 시간을 결정하는 직렬 신호이다. 롬(821)에 저장된 지연 시간에 따라 지연부들(810, 830, 840)은 출력 클럭 신호들(OCLK1, OCLK2, ~ OCLKn+1)을 수신하고 지연시켜 서로 다른 지연 시간을 갖는 지연 출력 클럭 신호들(DOCLK1, DOCLK2, DOCLK3, ~ DOCLKn+1)을 발생한다. 지연부들(810, 830, 840)의 기능 및 동작은 도 4의 지연부(420)와 동일하므로 상세한 설명은 생략된다.

<90> 롬 입력신호(ROMIN)는 본 발명의 제 1 실시예와 다르게 입력 신호들(ACIN)과 입력 핀을 공유하지 않으며, 지연 위상 동기 루프(720)에 롬 입력신호(ROMIN)를 수신하기 위한 새로운 입력 단자가 필요하다.

<91> 이와 같은 지연 동기 루프(720)에 의하여 각각의 반도체 메모리 장치(M1, M2, Mn) 및 레지스터(730)로 인가되는 지연 출력 클럭 신호들(DOCLK1, DOCLK2, DOCLK3, ~ DOCLKn+1)을 지연시킴으로서 입력 신호들(ACIN)이 복수개의 반도체 메모리 장치들(M1, M2, ~Mn)로 인가될 때 변화된 셋업 시간 및 홀드 시간이 보정되어 복수개의 반도체 메모리 장치들(M1, M2, ~Mn)에 충분한 마진을 줄 수 있고, 복수개의 반도체 메모리 장치들(M1, M2, ~Mn)의 오동작이 방지될 수 있다.

<92> 이상에서와 같이 도면과 명세서에서 최적 실시예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미 한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및

균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

**【발명의 효과】**

<93> 상술한 바와 같이 본 발명에 따른 반도체 메모리 장치의 입력 신호의 셋업 타임 및 홀드 타임을 조정할 수 있는 메모리 모듈 및 방법은, 복수개의 반도체 메모리 장치들로 입력되는 입력 신호들의 셋업 시간 및 홀드 시간의 변화에 따라 복수개의 메모리 장치의 동작 마진이 감소되어도, 입력 신호들이나 복수개의 반도체 메모리 장치들로 인가되는 클럭 신호를 조정함에 의해 복수개의 메모리 장치의 오동작을 방지할 수 있는 장점이 있다.

**【특허청구범위】****【청구항 1】**

입력 클럭 신호에 동기되어 복수개의 출력 클럭 신호들을 발생하는 위상 동기 루프 ;

상기 복수개의 출력 클럭 신호들중 하나인 제 1 출력 클럭 신호에 응답하고, 입력 신호들을 수신하여 지연시킨 후 지연 출력 신호들로서 출력하는 지연 레지스터 ; 및

상기 출력 클럭 신호들중 상기 제 1 출력 클럭 신호를 제외한 나머지 출력 클럭 신호들에 응답하고, 상기 지연 출력 신호들을 수신하는 복수개의 반도체 메모리 장치들을 구비하는 것을 특징으로 하는 메모리 모듈.

**【청구항 2】**

제 1항에 있어서, 상기 지연 레지스터는,

상기 입력 신호들을 수신하고 소정의 내부 출력 클럭 신호에 동기되어 상기 지연 출력 신호들을 발생하는 수신부 ; 및

기입 제어신호에 응답하여 필요한 지연시간에 관한 정보를 가지는 롬 입력신호들을 수신하고, 상기 제 1 출력 클럭 신호를 수신하여 가변적으로 지연시킨 신호인 상기 내부 출력 클럭 신호를 발생하는 지연부를 구비하는 것을 특징으로 하는 메모리 모듈.

**【청구항 3】**

제 2항에 있어서, 상기 지연부는,

상기 롬 입력신호들을 수신하여 저장하는 롬 ;

상기 롬의 출력 신호를 수신하여 필요한 지연 시간에 해당하는 출력 신호를 발생시키는 디멀티플렉서 ; 및

상기 디멀티플렉서의 출력 신호에 응답하고 상기 제 1 출력 클럭 신호를 수신하여 가변적으로 필요한 지연 시간만큼 지연시킨 상기 내부 출력 클럭 신호를 발생하는 지연 버퍼부를 구비하는 것을 특징으로 하는 메모리 모듈.

#### 【청구항 4】

제 2항에 있어서,

상기 롬 입력신호들과 상기 수신부로 인가되는 입력 신호들이 편을 공유하는 것을 특징으로 하는 메모리 모듈.

#### 【청구항 5】

제 2항에 있어서,

상기 기입 제어신호의 하이 레벨 또는 로우 레벨에 응답하여 상기 롬 입력신호들 및 상기 입력 신호들중의 어느 한편이 선택되는 것을 특징으로 하는 메모리 모듈.

#### 【청구항 6】

제 1항에 있어서, 상기 지연 레지스터는,

상기 입력 신호들을 수신하고 상기 제 1 출력 클럭 신호에 동기되어 내부 출력 신호들을 발생하는 수신부 ; 및

기입 제어신호에 응답하여 필요한 지연시간에 관한 정보를 가지는 롬 입력신호들을 수신하고, 상기 내부 출력 신호들을 수신하여 가변적으로 지연시킨 신호인 상기 지연 출력 신호들을 발생하는 지연부를 구비하는 것을 특징으로 하는 메모리 모듈.

**【청구항 7】**

제 6항에 있어서, 상기 지연부는,

상기 롬 입력신호들을 수신하여 저장하는 롬 ;

상기 롬의 출력 신호를 수신하여 필요한 지연 시간에 해당하는 출력 신호를 발생시키는 디멀티플렉서 ; 및

상기 디멀티플렉서의 출력 신호에 응답하고 상기 내부 출력 신호들을 수신하여 가변적으로 필요한 지연 시간만큼 지연시킨 상기 지연 출력 신호들을 발생하는 복수개의 지연 버퍼부들을 구비하는 것을 특징으로 하는 메모리 모듈.

**【청구항 8】**

제 6항에 있어서,

상기 롬 입력신호들과 상기 수신부로 인가되는 입력 신호들이 편을 공유하는 것을 특징으로 하는 메모리 모듈.

**【청구항 9】**

제 6항에 있어서,

상기 기입 제어신호의 하이 레벨 또는 로우 레벨에 응답하여 상기 롬 입력신호들 및 상기 입력 신호들중의 어느 한편이 선택되는 것을 특징으로 하는 메모리 모듈.

**【청구항 10】**

제 1항에 있어서, 상기 복수개의 출력 클럭 신호들은,

서로 동일한 위상으로 출력되는 것을 특징으로 하는 메모리 모듈.

**【청구항 11】**

기입 제어신호에 응답하여 필요한 지연시간에 관한 정보를 가지는 롬 입력신호를 수신하고, 입력 클럭 신호를 수신하여 복수개의 서로 다른 지연 시간을 가지는 지연 출력 클럭 신호들을 발생하는 지연 위상 동기 루프 ;

상기 복수개의 지연 출력 클럭 신호들중 하나인 제 1 지연 출력 클럭 신호에 응답하고, 입력 신호들을 수신한 후 출력 신호들로서 출력하는 레지스터 ; 및

상기 복수개의 서로 다른 지연 시간을 가지는 지연 출력 클럭 신호들중 상기 제 1 지연 출력 클럭 신호를 제외한 나머지 지연 출력 클럭 신호들에 응답하고, 상기 출력 신호들을 수신하는 복수개의 반도체 메모리 장치들을 구비하는 것을 특징으로 하는 메모리 모듈.

**【청구항 12】**

제 11항에 있어서, 상기 지연 위상 동기 루프는,

상기 입력 클럭 신호 및 발진 신호를 수신하고 위상차를 검출하여 출력하는 위상 검출기 ;

상기 위상 검출기의 출력 신호를 저역 필터링하여 제어 전압을 발생하는 저역 필터 ;

상기 제어 전압에 응답하여 상기 발진 신호 및 출력 클럭 신호들을 발생하는 전압 제어 발진기 ; 및

상기 롬 입력신호를 수신하고, 상기 대응하는 출력 클럭 신호를 수신하여 일정한

지연 시간을 가지는 지연 출력 클럭 신호를 발생하는 지연부를 복수개로 구비하고, 상기 지연 시간은 각 지연 출력 클럭 신호마다 서로 다른 것을 특징으로 하는 메모리 모듈.

**【청구항 13】**

제 12항에 있어서, 상기 지연부는,

상기 롬 입력신호를 수신하여 저장하는 롬 ;

상기 롬의 출력 신호를 수신하여 필요한 지연 시간에 해당하는 출력 신호를 발생시키는 디멀티플렉서 ; 및

상기 디멀티플렉서의 출력 신호에 응답하고 상기 대응하는 출력 클럭 신호를 수신하여 가변적으로 필요한 지연 시간만큼 지연시킨 지연 출력 클럭 신호를 발생하는 지연 버퍼부를 구비하는 것을 특징으로 하는 메모리 모듈.

**【청구항 14】**

제 12항에 있어서, 상기 지연부는,

상기 기입 제어신호의 하이 레벨 또는 로우 레벨에 응답하여 상기 롬 입력신호가 입력되는 것을 특징으로 하는 메모리 모듈.

**【청구항 15】**

제 12항에 있어서, 상기 롬 입력신호는,

상기 복수개의 지연부의 서로 다른 지연 시간을 결정하는 직렬신호인 것을 특징으로 하는 메모리 모듈.

**【청구항 16】**



복수개의 반도체 메모리 장치들로 입력되는 입력 신호들의 셋업 타임 및 홀드 타임을 조정하는 방법에 있어서,

- (a) 입력 클럭 신호에 동기되어 복수개의 출력 클럭 신호들을 발생하는 단계;
- (b) 상기 복수개의 출력 클럭 신호들중 하나인 제 1 출력 클럭 신호에 응답하고, 상기 입력 신호들을 수신하여 지연시킨 후 지연 출력 신호들로서 출력하는 단계 ; 및
- (c) 상기 출력 클럭 신호들중 상기 제 1 출력 클럭 신호를 제외한 나머지 출력 클럭 신호들에 응답하고, 상기 지연 출력 신호들을 상기 복수개의 반도체 메모리 장치들로 인가하는 단계를 구비하는 것을 특징으로 하는 복수개의 반도체 메모리 장치들로 인가되는 입력 신호들의 셋업 타임 및 홀드 타임을 조정하는 방법.

#### 【청구항 17】

제 16항에 있어서, 상기 (b) 단계는,

- (b1) 기입 제어신호에 응답하여 필요한 지연시간에 관한 정보를 가지는 롬 입력신호들을 수신하고, 상기 제 1 출력 클럭 신호를 수신하여 가변적으로 지연시킨 신호인 내부 출력 클럭 신호를 발생하는 단계; 및

- (b2) 상기 입력 신호들을 수신하고 상기 내부 출력 클럭 신호에 동기되어 상기 지연 출력 신호들을 발생하는 단계를 구비하는 것을 특징으로 하는 복수개의 반도체 메모리 장치들로 인가되는 입력 신호들의 셋업 타임 및 홀드 타임을 조정하는 방법.

#### 【청구항 18】

제 17항에 있어서, 상기 (b1) 단계는,

- (b11) 상기 롬 입력신호들을 수신하여 저장하는 단계 ;

(b12) 상기 저장된 롬 입력신호들을 수신하여 필요한 지연 시간에 해당하는 출력 신호를 발생하는 단계 ; 및

(b13) 상기 출력 신호에 응답하고 상기 제 1 출력 클럭 신호를 수신하여 가변적으로 필요한 지연 시간만큼 지연시킨 상기 내부 출력 클럭 신호를 발생하는 단계를 구비하는 것을 특징으로 하는 복수개의 반도체 메모리 장치들로 인가되는 입력 신호들의 셋업 타임 및 홀드 타임을 조정하는 방법.

**【청구항 19】**

제 17항에 있어서,

상기 기입 제어신호의 하이 레벨 또는 로우 레벨에 응답하여 상기 롬 입력신호들 및 상기 입력 신호들중의 어느 한편이 선택되는 것을 특징으로 하는 복수개의반도체 메모리 장치들로 인가되는 입력 신호들의 셋업 타임 및 홀드 타임을 조정하는 방법.

**【청구항 20】**

제 16항에 있어서, 상기 (b) 단계는,

(b1) 상기 입력 신호들을 수신하고 상기 제 1 출력 클럭 신호에 동기되어 내부 출력 신호들을 발생하는 단계 ; 및

(b2) 기입 제어신호에 응답하여 필요한 지연시간에 관한 정보를 가지는 롬 입력신호들을 수신하고, 상기 내부 출력 신호들을 수신하여 가변적으로 지연시킨 신호인 상기 지연 출력 신호들을 발생하는 단계를 구비하는 것을 특징으로 하는 복수개의 반도체 메모리 장치들로 인가되는 입력 신호들의 셋업 타임 및 홀드 타임을 조정하는 방법.

**【청구항 21】**

제 20항에 있어서, 상기 (b2) 단계는,

(b21) 상기 롬 입력신호들을 수신하여 저장하는 단계 ;

(b22) 상기 저장된 롬 입력신호들을 수신하여 필요한 지연 시간에 해당하는 출력 신호를 발생하는 단계 ; 및

(b23) 상기 출력 신호에 응답하고 상기 제 1 출력 신호를 수신하여 가변적으로 필요한 지연 시간만큼 지연시킨 상기 지연 출력 신호들을 발생하는 단계를 구비하는 것을 특징으로 하는 복수개의 반도체 메모리 장치들로 인가되는 입력 신호들의 셋업 타임 및 홀드 타임을 조정하는 방법.

**【청구항 22】**

제 20항에 있어서,

상기 기입 제어신호의 하이 레벨 또는 로우 레벨에 응답하여 상기 롬 입력신호들 및 상기 입력 신호들중의 어느 한편이 선택되는 것을 특징으로 하는 복수개의 반도체 메모리 장치들로 인가되는 입력 신호들의 셋업 타임 및 홀드 타임을 조정하는 방법.

**【청구항 23】**

제 16항에 있어서, 상기 복수개의 출력 클럭 신호들은,

서로 동일한 위상으로 출력되는 것을 특징으로 하는 복수개의 반도체 메모리 장치들로 인가되는 입력 신호들의 셋업 타임 및 홀드 타임을 조정하는 방법.

**【청구항 24】**

복수개의 반도체 메모리 장치들로 인가되는 지연 위상 동기 루프의 복수개의 지

연 출력 클럭 신호들이 서로 다른 지연시간을 가지게 하여 상기 복수개의 반도체 메모리 장치들로 인가되는 입력 신호들의 셋업 타임 및 홀드 타임을 조정하는 방법에 있어서,

(a) 입력 클럭 신호를 수신하여 발진 신호 및 복수개의 출력 클럭 신호들을 발생 하는 단계 ;

(b) 기입 제어신호에 응답하여 필요한 지연시간에 관한 정보를 가지는 롬 입력신호 를 수신하고, 상기 대응하는 출력 클럭 신호들을 수신하여 복수개의 서로 다른 지연 시 간을 가지는 지연 출력 클럭 신호들을 발생하는 단계 ;

(c) 상기 복수개의 지연 출력 클럭 신호들중 하나인 제 1 지연 출력 클럭 신호에 응답하고, 입력 신호들을 수신한 후 출력 신호들로서 출력하는 단계 ; 및

(d) 상기 복수개의 서로 다른 지연 시간을 가지는 지연 출력 클럭 신호들중 상기 제 1 지연 출력 클럭 신호를 제외한 나머지 지연 출력 클럭 신호들에 응답하고, 상기 출 력 신호들을 상기 복수개의 반도체 메모리 장치들로 인가하는 단계를 구비하는 것을 특 징으로 하는 지연 위상 동기 루프의 지연 출력 클럭 신호들이 서로 다른 지연시간을 가 지게 하여 복수개의 반도체 메모리 장치들로 인가되는 입력 신호들의 셋업 타임 및 홀드 타임을 조정하는 방법.

#### 【청구항 25】

제 24항에 있어서, 상기 (b) 단계는,

(b1) 상기 롬 입력신호를 수신하여 저장하는 단계 ;

(b2) 상기 저장된 롬 입력신호들을 수신하여 필요한 지연 시간에 해당하는 출력 신 호를 발생하는 단계 ; 및

(b3) 상기 출력 신호에 응답하고 상기 대응하는 출력 클럭 신호를 수신하여 가변적으로 필요한 지연 시간만큼 지연시킨 지연 출력 클럭 신호를 발생하는 단계를 구비하는 것을 특징으로 하는 지연 위상 동기 루프의 지연 출력 클럭 신호들이 서로 다른 지연시간을 가지게 하여 복수개의 반도체 메모리 장치들로 인가되는 입력 신호들의 셋업 타임 및 홀드 타임을 조정하는 방법.

**【청구항 26】**

제 24항에 있어서, 상기 (b) 단계는,

상기 기입 제어신호의 하이 레벨 또는 로우 레벨에 응답하여 상기 롬 입력신호가 입력되는 것을 특징으로 하는 지연 위상 동기 루프의 지연 출력 클럭 신호들이 서로 다른 지연시간을 가지게 하여 복수개의 반도체 메모리 장치들로 인가되는 입력 신호들의 셋업 타임 및 홀드 타임을 조정하는 방법.

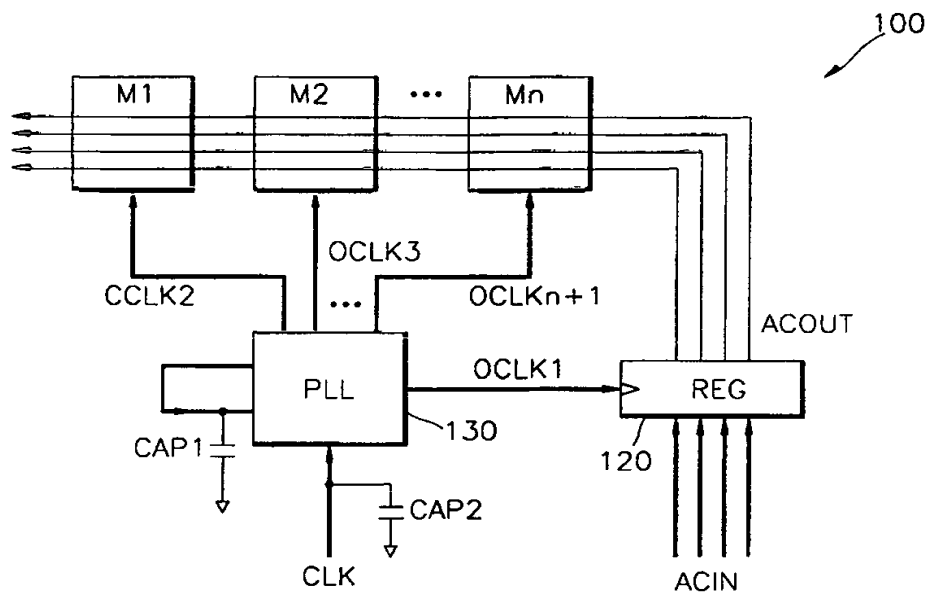
**【청구항 27】**

제 24항에 있어서, 상기 롬 입력신호는,

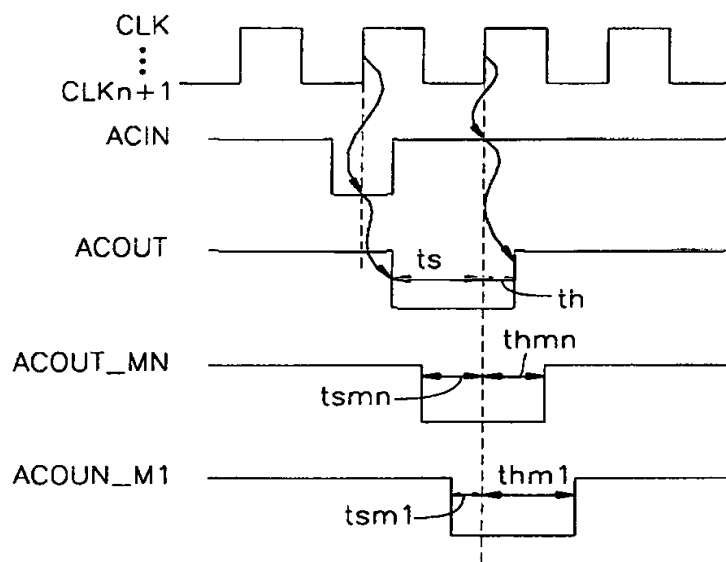
상기 복수개의 지연 출력 클럭 신호의 서로 다른 지연 시간을 결정하는 직렬신호인 것을 특징으로 하는 지연 위상 동기 루프의 지연 출력 클럭 신호들이 서로 다른 지연시간을 가지게 하여 복수개의 반도체 메모리 장치들로 인가되는 입력 신호들의 셋업 타임 및 홀드 타임을 조정하는 방법.

## 【도면】

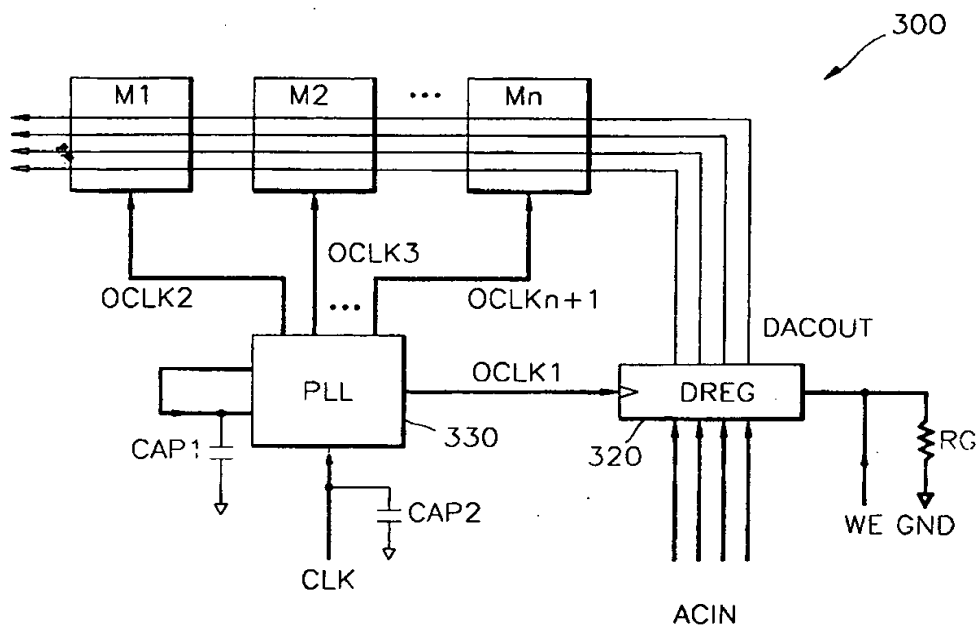
【도 1】



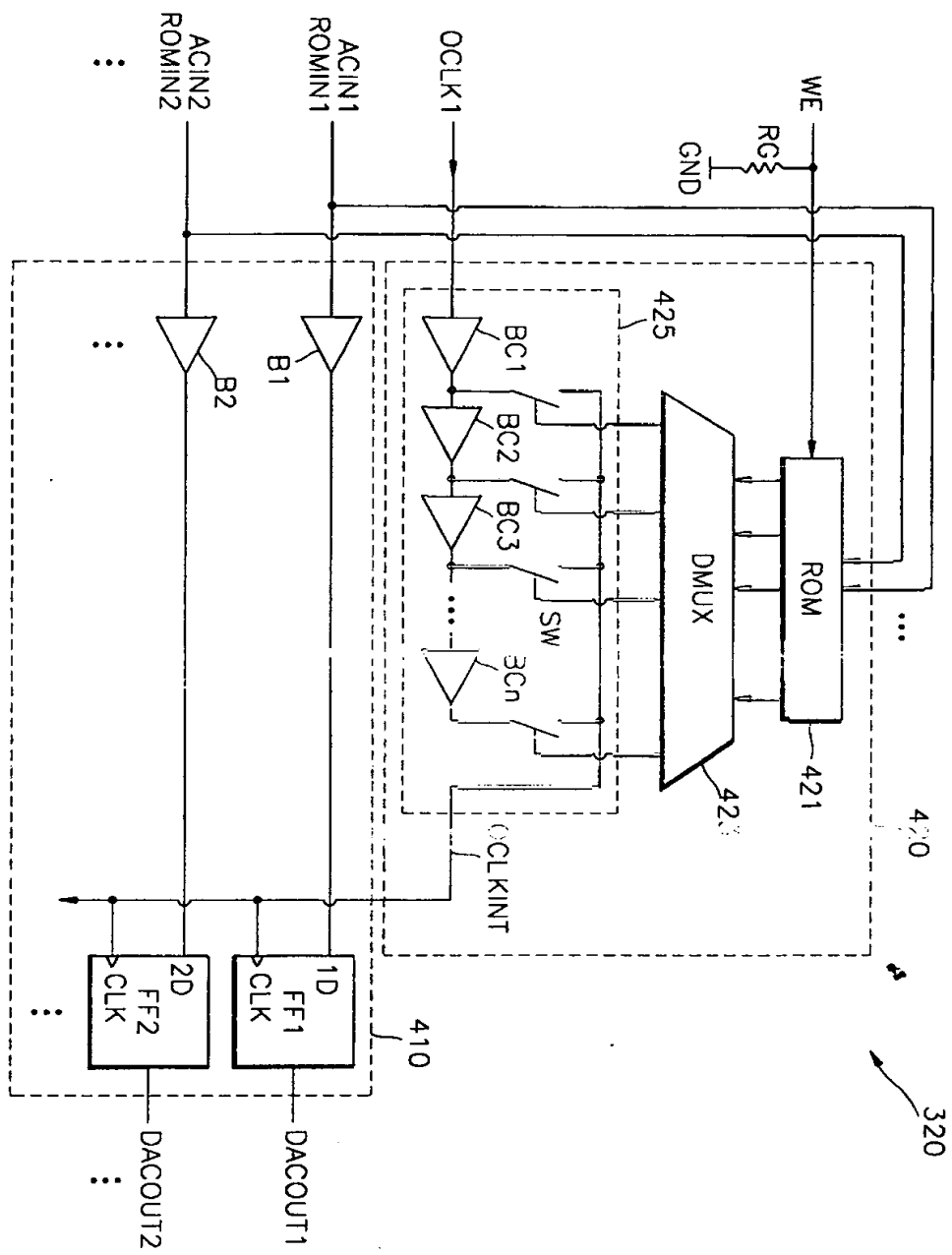
【도 2】



【도 3】

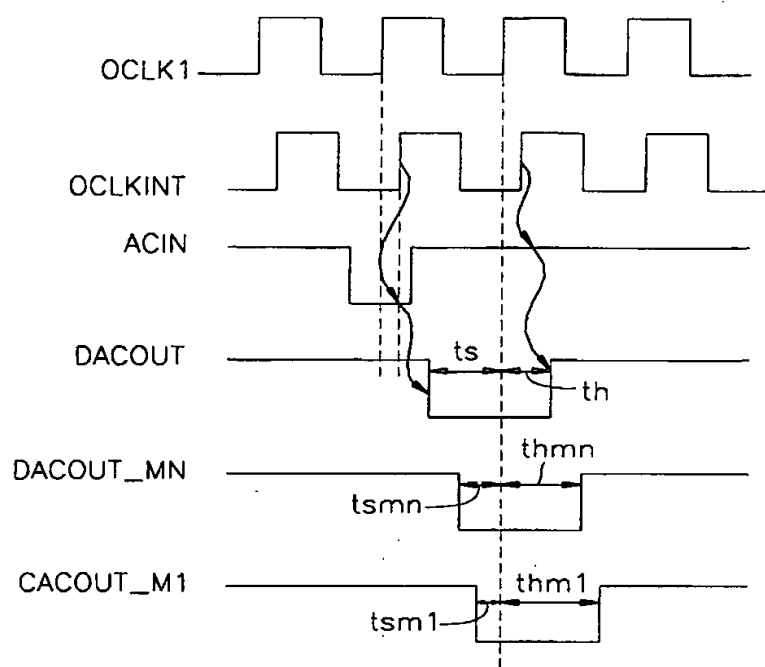


【图 4】

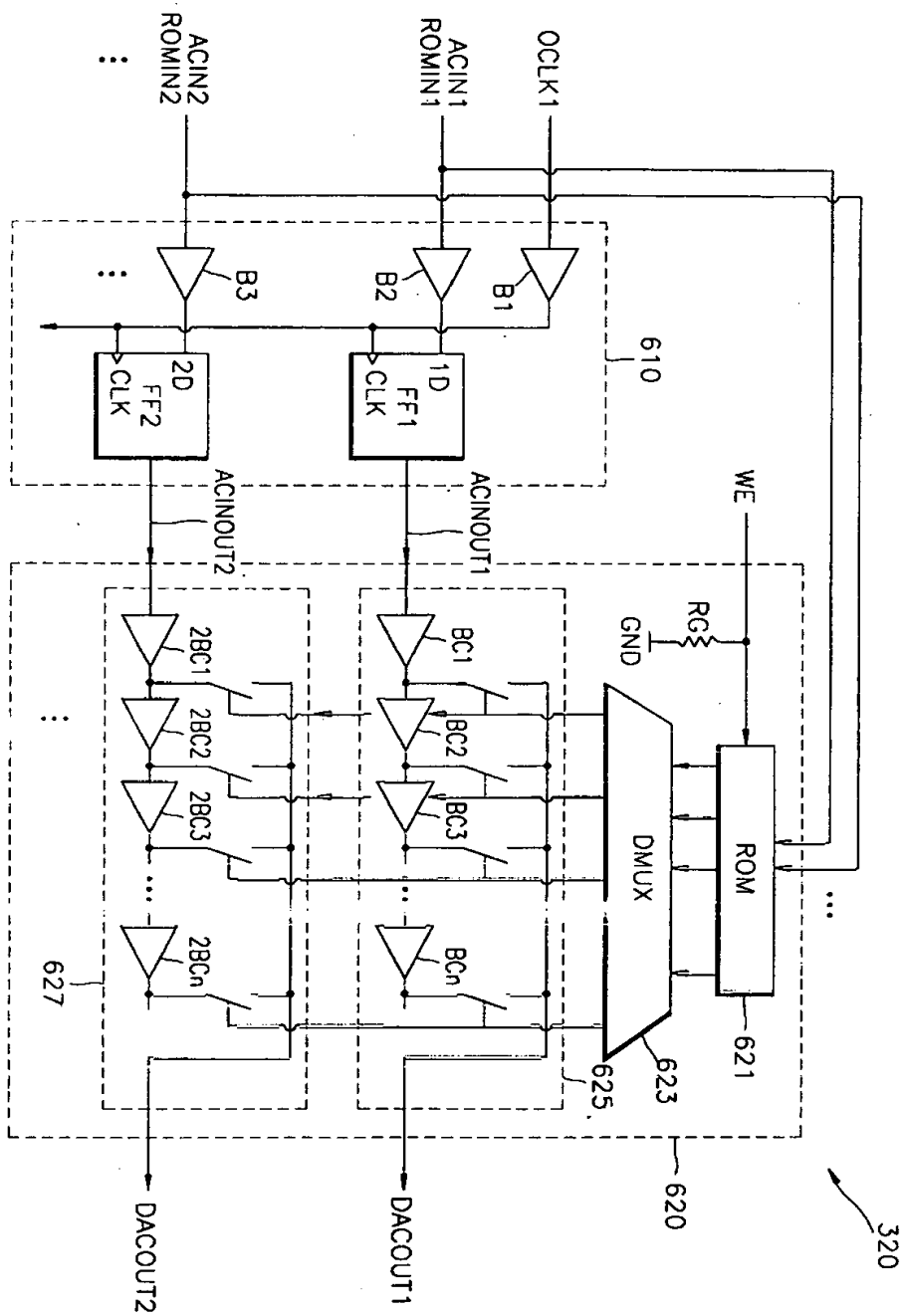




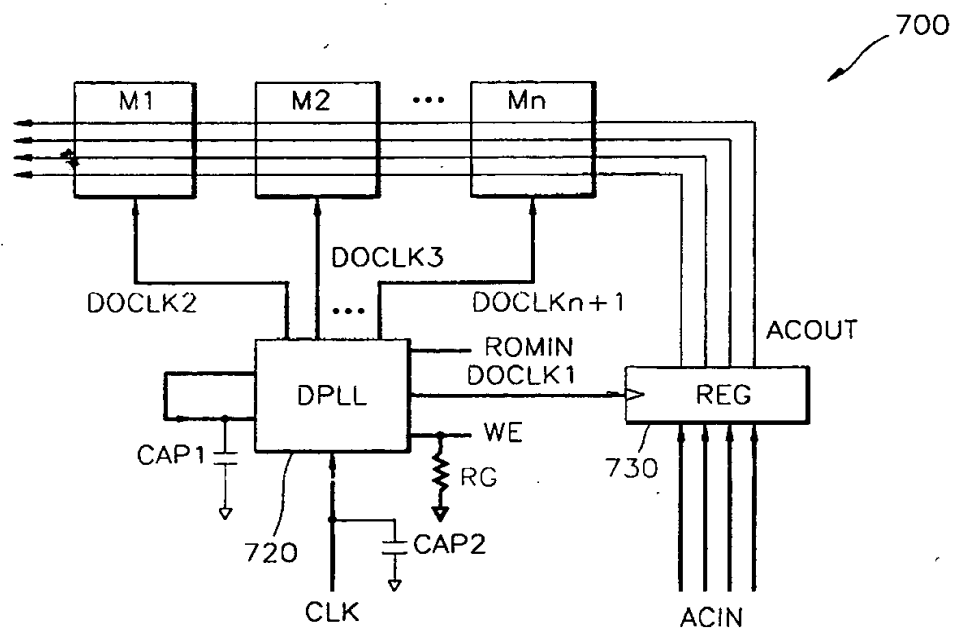
【도 5】



【도 6】



【도 7】



【图 8】

